

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000010154 A
(43)Date of publication of application: 15.02.2000

(21)Application number: 980030910
(22)Date of filing: 30.07.1998

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: LEE, SU CHEON

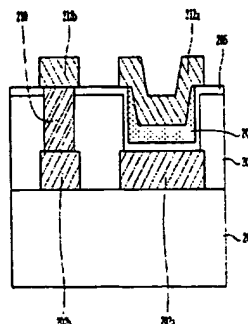
(51)Int. Cl. H01L 21/8236

(54) METHOD FOR MANUFACTURING A CAPACITOR OF A SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor is provided, which prevents a progress badness occurrence happened when manufacturing a capacitor of MDL which an analog circuit is inserted.

CONSTITUTION: The method for manufacturing a capacitor comprises the steps of: forming a first conductive film at a certain portion on an insulating film (200) which has a voluntary wire line; etching the first conductive film and forming a first wire line (102b) connected to the voluntary wire line and a lower electrode (202a); forming an insulating film between layers (204) on the insulating substrate (200) having the lower electrode (202a); etching the insulating film between layers (204) and forming a first bear hole (h1) in the insulating film (204); forming a dielectric film (206) in the bear hole (h1) and on the insulating film (204); forming a protecting film (208a) on the dielectric film (206); and forming a second wire line (202b) and an upper electrode (212a). Since the dielectric film can to be protected, the loss of the dielectric and a short occurrence between the upper electrode and lower electrode can to be prevented.



COPYRIGHT 2000 KIPO

Legal Status

Final disposal of an application (application)

특 2000-0010154

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/8236

(11) 공개번호 특2000-0010154
(43) 공개일자 2000년02월15일

(21) 출원번호 10-1998-0030910
(22) 출원일자 1998년07월30일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이수현
경기도 군포시 산본동 목련아파트 1213동 1003호
(74) 대리인 김능균

심사청구 : 없음

(54) 반도체 집적회로의 커패시터 제조방법

요약

커패시터 형성부의 유전막 손상을 막을 수 있도록 한 반도체 집적회로의 커패시터 제조방법이 개시된다. 임의의 배선 라인이 구비된 절연기판 상의 소정 부분에 제 1 도전성막을 형성한 뒤, 이를 선택식각하여 임의의 배선 라인과 연결되는 제 1 배선 라인과, 하부전극을 동시에 형성한다. 제 1 배선 라인과 하부전극을 포함한 절연기판 상에 층간 절연막을 형성하고, 하부전극의 표면이 소정 부분 노출되도록 층간 절연막을 선택식각하여 상기 층간 절연막 내부에 제 1 비어 홀을 형성한다. 제 1 비어 홀 내부와 층간 절연막 상에 유전막을 형성하고, 제 1 비어 홀 내의 유전막 상에 도전성막 재질의 보호막을 형성한 다음, 제 1 배선 라인의 표면이 소정 부분 노출되도록 유전막과 층간 절연막을 선택식각하여 상기 층간 절연막 내에 제 2 비어 홀을 형성하고, RF 스퍼터 식각을 실시한다. 이어, 제 2 비어 홀 내부에 도전성 플러그를 형성하고, 상기 결과를 전면에 제 2 도전성막을 형성한 다음, 이를 선택식각하여 도전성 플러그와 연결되는 제 2 배선 라인과 보호막과 연결되는 상부전극을 동시에 형성한다. 그 결과, 도전성막 재질의 보호막을 이용하여 RF 스퍼터 식각시 제 1 비어 홀 내의 유전막을 보호할 수 있게 되므로, 상기 식각 공정 진행시 야기되던 커패시터 형성부의 유전막 손상과 상부전극과 하부전극 간의 쇼트 발생을 막을 수 있게 된다.

도표도

도9

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래 기술에 의한 아날로그 회로가 내장된 MDL의 커패시터 제조방법을 도시한 공정수순도.

도 5 내지 도 9는 본 발명에 의한 아날로그 회로가 내장된 MDL의 커패시터 제조방법을 도시한 공정수순도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로(IC)의 커패시터 제조방법에 관한 것으로, 보다 상세하게는 아날로그 회로가 내장된 MDL(Merged DRAM Logic)의 커패시터 제조시 야기되는 공정 불량 발생을 막을 수 있도록 한 반도체 집적회로의 커패시터 제조방법에 관한 것이다.

디램(DRAM)과 로직(Logic)이 어지워진 MDL에 아날로그 회로를 적용하여 반도체 소자 제조시, 아날로그 회로의 커패시턴스(capacitance) 특성을 확보하기 위하여 아날로그 회로나 로직 회로의 커패시터를 PIP(poly insulator poly) 구조로 가져갈 경우에는 중첩된 열처리(예컨대, 하부전극을 형성하기 위한 인터 폴리 형성시의 열처리와 게이트 산화막 형성시의 열처리) 공정으로 인해 디램 셀의 특성이 열화되는 현상이 야기될 뿐 아니라 공정 진행 자체가 복잡하다는 문제가 발생하게 된다.

이에 따라, 최근에는 MDL의 로직 회로나 아날로그 회로의 커패시터를 PIP 구조 대신에 MIM 구조로 형성해 주는 공정 개발이 이루어지고 있다. MIM 구조의 커패시터는 다층 배선을 형성하는 과정에서 임의의 두 금속 사이에 유전막을 형성해 주는 방식으로 제조되므로, 소자 제조시 디램 셀의 특성 열화와 관련되는 별도의 열처리 공정이 요구되지 않을 뿐 아니라 공정 진행 자체가 간단하다는 잇점을 갖는다.

도 1 내지 도 4에는 이와 관련된 종래의 아날로그 회로가 내장된 MDL의 커패시터 제조방법을 도시한 공정 수순도가 제시되어 있다. 상기 공정수순도를 참조하여 MDL의 로직 회로나 아날로그 회로의 커패시터 제조 방법을 제 4 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 1에 도시된 바와 같이 임의의 배선 라인이 구비된 절연기판(100) 상에 Si 합금 재질의 제 1 도전성막을 형성한 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막을 식각하여, 상기 기판(100) 상에 제 1 배선 라인(102b)과 하부전극(102a)을 동시에 형성한다. 이때, 제 1 배선 라인(102b)은 도전성 플러그(미 도시)를 매개체로 하여 절연기판(100) 내의 임의의 배선 라인과 전기적으로 연결되도록 형성된다.

제 2 단계로서, 도 2에 도시된 바와 같이 제 1 배선 라인(102b)과 하부전극(102a)을 포함한 절연기판(100) 상에 층간 절연막(104)을 형성한 뒤, 상기 하부전극(102a)의 표면이 소정 부분 노출되도록 이를 선택식각하여 상기 절연막(104) 내에 제 1 비어 홀(h1)을 형성한다.

제 3 단계로서, 도 3에 도시된 바와 같이 제 1 비어 홀(h1)의 내부와 층간 절연막(104) 상에 CVD법을 이용하여 유전막(106)을 형성한 뒤, 제 1 배선 라인(102b)의 표면이 소정 부분 노출되도록 유전막(106)과 층간 절연막(104)을 선택식각하여 상기 절연막(104) 내에 제 2 비어 홀(h2)을 형성한다. 이 경우, 상기 유전막(106)으로는 "플라즈마 산화막(plasma Si-oxide)/플라즈마 질화막(plasma Si-nitride)"의 적층 구조나 "플라즈마 산화막(plasma Si-oxide)/플라즈마 산화질화막(plasma-oxinitride)"의 적층 구조가 사용된다. 이어, 제 1 배선 라인(102b)의 표면 노출부에 존재할 가능성이 있는 산화막(예컨대, 층간 절연막 식각 과정에서 생성된 식각부산물(Si-O, 플러머)이나 자연 산화막)을 제거하기 위하여 RF 바이어스(radio frequency bias)를 이용한 스퍼터링 식각(일명, RF 스퍼터링 식각이라 한다)을 실시한다. 이 과정에서 식각되는 산화막의량은 보통 200 ~ 400 Å 두께 정도로 보면 된다.

제 4 단계로서, 도 4에 도시된 바와 같이 제 2 비어 홀(h2)내에만 선택적으로 제 2 배선의 도전성 플러그(108)를 형성한 뒤, 상기 결과물 전면에서 Si 합금 재질의 제 2 도전성막을 형성하고, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 2 도전성막을 식각하여 제 2 배선 라인(110b)과 도전성막 패턴(110a)을 형성해 주므로써, 본 공정 진행을 완료한다.

그 결과, 절연기판(100) 상의 소정 부분에는 도전성 플러그(108b)를 사이에 두고 그 상·하부에 제 1 및 제 2 배선 라인(102b), (110b)이 순차 적층된 구조의 배선 라인이 형성되고, 상기 배선 라인 일측의 절연기판(100) 상에는 유전막(106)을 사이에 두고, 그 상·하부에 Si 재질의 하부전극(102a)과 상부전극(110a)이 순차 적층된 구조(MIM 구조)의 커패시터가 형성된다.

그러나, 상기 공정을 적용하여 MDL의 로직 회로나 아날로그 회로의 커패시터를 제조할 경우에는 공정 진행 과정에서 다음과 같은 문제가 발생하게 된다.

RF 스퍼터링 식각시, 제 1 배선 라인(102b) 상의 산화막외에 커패시터가 형성될 부분인 제 1 비어 홀(h1) 내의 유전막도 일부 함께 손상되므로 유전막의 표면이 불균일하게 되어 커패시터의 특성이 저하되는 현상이 발생하게 된다. 특히, RF 스퍼터 식각 공정의 유니포미티(uniformity) 불량이 발생할 경우에는 하부전극(102a)의 표면 노출부 상에 형성된 유전막(106)의 양 에지(edge) 부분(도면상에서 1로 표시된 부분)이 센터(center) 부분보다 더 많이 식각되어져 이 부분의 유전막이 오목하게 파이는 현상이 발생하게 되어 후속 공정 진행시 상부전극과 하부전극 간에 쇼트(short)가 유발되는 불량이 초래되므로 이에 대한 개선책이 시급하게 요구되고 있다.

본명이 이루고자하는 기술적 과제

이에 본 발명의 목적은, MDL의 로직 회로나 아날로그 회로의 커패시터 제조시, RF 스퍼터 식각 공정을 실시하기 전에 커패시터 형성부의 제 1 비어 홀 내에 도전성막 재질의 보호막을 더 형성해 주므로써, RF 스퍼터 식각시 야기되는 유전막의 손상과 상부전극과 하부전극 간의 쇼트 발생을 막을 수 있도록 한 반도체 집적회로의 커패시터 제조방법을 제공함에 있다.

본명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는 임의의 배선 라인이 구비된 절연기판 상의 소정 부분에 제 1 도전성막을 형성하는 단계와; 상기 제 1 도전성막을 선택식각하여 상기 임의의 배선 라인과 연결되는 제 1 배선 라인과, 하부전극을 동시에 형성하는 단계와; 상기 제 1 배선 라인과 상기 하부전극을 포함한 상기 절연기판 상에 층간 절연막을 형성하는 단계와; 상기 하부전극의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여 상기 층간 절연막 내에 제 1 비어 홀을 형성하는 단계와; 상기 제 1 비어 홀 내부와 상기 층간 절연막 상에 유전막을 형성하는 단계와; 상기 제 1 비어 홀 내의 상기 유전막 상에 도전성막 재질의 보호막을 형성하는 단계와; 상기 제 1 배선 라인의 표면이 소정 부분 노출되도록 상기 유전막과 상기 층간 절연막을 선택식각하여 상기 층간 절연막 내에 제 2 비어 홀을 형성하는 단계와; RF 스퍼터 식각을 실시하는 단계와; 상기 제 2 비어 홀 내부에 도전성 플러그를 형성하는 단계와; 상기 도전성 플러그와 상기 보호막을 포함한 상기 유전막 상에 제 2 도전성막을 형성하는 단계; 및 상기 제 2 도전성막을 선택식각하여 상기 도전성 플러그와 연결되는 제 2 배선 라인과 상기 보호막과 연결되는 상부전극을 동시에 형성하는 단계로 이루어진 반도체 집적회로의 커패시터 제조방법이 제공된다.

이때, 상기 제 1 및 제 2 도전성막 형성후에는 막질 패터닝 특성을 향상시킬 목적으로 각각 반사방지막(anti-reflection layer)을 형성하는 단계를 더 포함하는 것이 바람직하며, RF 스퍼터 식각은 식각부산물이 200 ~ 400 Å 정도 제거될때까지 실시하는 것이 바람직하다.

상기 공정을 거쳐 MDL의 로직 회로나 아날로그 회로의 커패시터를 제조할 경우, 제 1 비어 홀 내의 유전막 상에 도전성막 재질의 보호막이 형성된 상태에서 RF 스퍼터링 식각 공정이 진행되므로, RF 식각 공정으로 인해 커패시터 형성부의 유전막이 손상되는 것을 막을 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 제 1 비어 홀 내의 유전막 상에 도전성막 재료의 보호막을 별도로 더 형성해 준 상태에서 RF 스퍼터링 식각을 실시해 주는 방식으로 MQL의 로직 회로나 아날로그 회로의 커패시터를 제조해 주므로써, RF 식각 공정으로 인해 야기되는 유전막의 손상을 방지하고 하부전극과 상부전극 간의 쇼트 발생을 막을 수 있도록 하는데 주요점을 둔 기술이다.

도 5 내지 도 9에는 이와 관련된 본 발명에 의한 아날로그 회로가 내장된 MQL의 커패시터 제조방법을 도시한 공정순도도가 제시되어 있다. 상기 공정순도도를 참조하여 MQL의 로직 회로나 아날로그 회로의 커패시터 제조방법을 제 5 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 5에 도시된 바와 같이 임의의 배선 라인이 구비된 절연기판(200) 상에 Si 합금이나 Cu 합금 재료의 제 1 도전성막을 형성한 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막을 식각하여, 상기 기판(200) 상에 제 1 배선 라인(202b)과 하부전극(202a)을 동시에 형성한다. 이때, 제 1 배선 라인(202b)은 도전성 플러그(미 도시)를 매개체로 하여 절연기판(200) 내의 임의의 배선 라인과 전기적으로 연결되도록 형성된다.

제 2 단계로서, 도 6에 도시된 바와 같이 제 1 배선 라인(202b)과 하부전극(202a)을 포함한 절연기판(200) 상에 중간 절연막(204)을 형성한 뒤, 상기 하부전극(202a)의 표면이 소정 부분 노출되도록 이를 선택식각하여 상기 절연막(204) 내에 제 1 비어 홀(h1)을 형성한다. 이때, 상기 제 1 비어 홀(h1)의 오픈 사이즈는 20 x 20 μ m에서 100 x 100 μ m까지 다양한 사이즈의 적용이 가능하다. 이어, 제 1 비어 홀(h1)의 내부와 중간 절연막(204) 상에 CVD(chemical vapour deposition)법을 이용하여 유전막(206)을 형성한 뒤, 그 전면에 다시 CVD법이나 PVD(physical vapour deposition)법을 이용하여 W이나 Cu 합금 재료의 도전성막(208)을 형성한다. 상기 유전막(206)으로는 "플라즈마 산화막/플라즈마 질화막"의 적용 구조나 "플라즈마 산화막/플라즈마 산화질화막"의 적용 구조가 사용된다.

제 3 단계로서, 도 7에 도시된 바와 같이 유전막(206)의 표면이 노출될 때까지 상기 도전성막(208)을 CMP(또는 에치백) 처리하여 제 1 비어 홀(h1) 내에 도전성막 재료의 보호막(208a)을 형성한다.

제 4 단계로서, 도 8에 도시된 바와 같이 상기 제 1 배선 라인(202b)의 표면이 소정 부분 노출되도록 유전막(206)과 중간 절연막(204)을 선택식각하여 상기 절연막(204) 내에 제 2 비어 홀(h2)을 형성한다. 이어, 제 1 배선 라인(202b)의 표면 노출부에 존재할 가능성이 있는 산화막(예컨대, 중간 절연막 식각 과정에서 생성된 식각부산물(Al_2O_3 , 플리머)이나 자연 산화막)을 제거하기 위하여 RF 스퍼터 식각을 실시한다. 이 과정에서 식각되는 산화막의 양은 보통 200 ~ 400 Å 두께 정도로 보면 된다.

제 5 단계로서, 도 9에 도시된 바와 같이 상기 제 2 비어 홀(h2) 내부에만 선택적으로 W이나 Cu 합금 재료의 도전성 플러그(210)를 형성한 뒤, 상기 결과물 전면에 Si 합금 재료의 제 2 도전성막을 형성하고, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 2 도전성막을 식각하여 제 2 배선 라인(212b)과 상부전극(212a)을 형성해 주므로써, 본 공정 진행을 완료한다.

그 결과, 절연기판(200) 상의 소정 부분에는 도전성 플러그(210)를 사이에 두고 그 상·하부에 제 1 및 제 2 배선 라인(212b), (202b)이 순차 적층된 구조의 배선 라인이 형성되고, 상기 배선 라인 일측의 절연기판(200) 상에는 유전막(206)과 도전성막 재료의 보호막(208a)을 사이에 두고, 그 상·하부에 하부전극(202a)과 상부전극(212a)이 순차 적층된 구조(MIM 구조)의 커패시터가 형성된다.

이와 같이 커패시터를 제조할 경우, 도전성막 재료의 보호막(208a)이 형성된 상태에서 RF 스퍼터링 식각 공정이 진행되므로, 보호막(208a)에 의해 커패시터 형성부(제 1 비어 홀 내부)의 유전막이 보호받을 수 있게 되어 RF 스퍼터링 식각 공정 진행시 유전막이 손상되는 것을 방지할 수 있게 된다.

또한, 이 경우에는 RF 스퍼터 식각 공정의 유니포미티 불량이 발생되더라도 보호막(208a)으로 인해 하부전극(202a)의 표면 노출부 상에 형성된 유전막(206)의 양 에지 부분이 센터 부분보다 더 많이 식각되는 현상이 발생하지 않게 되므로, 상부전극과 하부전극간의 쇼트 발생을 미연에 막을 수 있게 된다.

한편, 본 발명의 일 변형예로서 상기 커패시터 형성 공정은 막질 패터닝 특성을 향상시킬 목적으로 상기 제 1 및 제 2 도전성막 형성 이후에 각각 반사 방지막(anti-reflection layer)(미 도시)을 더 형성해 준 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 상기 반사 방지막과 제 1 및 제 2 도전성막을 식각해 주는 방식으로 공정을 진행할 수도 있다. 이때 사용되는 반사 방지막의 대표적인 예로는 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단독 구조나 이들이 조합된 적층 구조를 들 수 있다. 이와 같이, 제 1 및 제 2 도전성막 상에 반사 방지막이 더 형성된 경우에는 제 1 비어 홀(h1)을 형성하기 위한 중간 절연막(204) 식각시 반사 방지막이 함께 제거되도록 식각 공정을 진행하여도 되고, 반면 하부전극(202a) 표면의 평탄도를 향상시킬 목적으로 중간 절연막(204)만을 식각하여 하부전극(202a) 상에 반사 방지막이 잔존되도록 식각 공정을 진행하여도 된다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상내에서 당 분야의 통상의 지식으로 그 변형이나 개량이 가능한 틀론이다.

발명의 효과

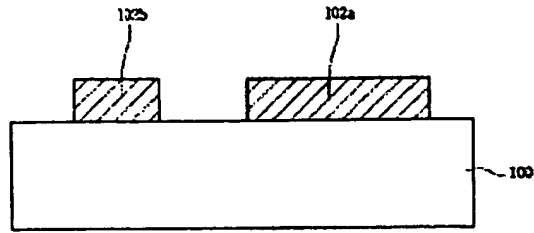
이상에서 살펴본 바와 같이 본 발명에 의하면, MQL의 로직 회로나 아날로그 회로의 커패시터 제조시, 제 1 비어 홀 내부에 도전성막 재료의 보호막을 형성해 준 상태에서 RF 스퍼터 식각을 실시해 주는 방식으로 공정을 변경해 주므로써, RF 식각시 상기 보호막을 이용하여 그 하부의 유전막을 보호할 수 있게 되므로, 상기 식각 공정 진행시 야기되던 커패시터 형성부의 유전막 손상과 상부전극과 하부전극 간의 쇼트 발생을 막을 수 있게 된다.

(5) 광구의 범위

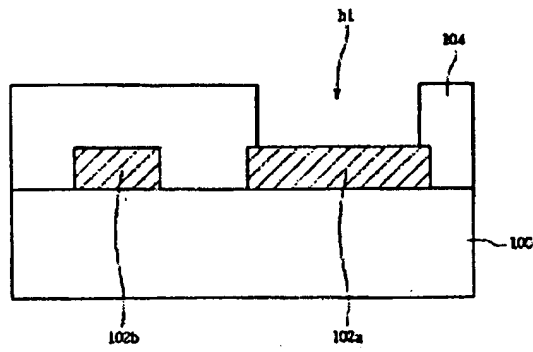
- 청구항 1. 임의의 배선 라인이 구비된 절연기판 상의 소정 부분에 제 1 도전성막을 형성하는 단계와;
상기 제 1 도전성막을 선택식각하여 상기 임의의 배선 라인과 연결되는 제 1 배선 라인과, 하부전극을 동
시에 형성하는 단계와;
상기 제 1 배선 라인과 상기 하부전극을 포함한 상기 절연기판 상에 층간 절연막을 형성하는 단계와;
상기 하부전극의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여 상기 층간 절연막 내에
제 1 비어 홀을 형성하는 단계와;
상기 제 1 비어 홀 내부와 상기 층간 절연막 상에 유전막을 형성하는 단계와;
상기 제 1 비어 홀 내의 상기 유전막 상에 도전성막 재질의 보호막을 형성하는 단계와;
상기 제 1 배선 라인의 표면이 소정 부분 노출되도록 상기 유전막과 상기 층간 절연막을 선택식각하여 상
기 층간 절연막 내에 제 2 비어 홀을 형성하는 단계와;
RF 스퍼터 식각을 실시하는 단계와;
상기 제 2 비어 홀 내부에 도전성 플러그를 형성하는 단계와;
상기 도전성 플러그와 상기 보호막을 포함한 상기 유전막 상에 제 2 도전성막을 형성하는 단계; 및
상기 제 2 도전성막을 선택식각하여 상기 도전성 플러그와 연결되는 제 2 배선 라인과 상기 보호막과 연
결되는 상부전극을 동시에 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터 제
조방법.
- 청구항 2. 제 1항에 있어서, 상기 제 1 및 제 2 도전성막은 Si 합금으로 형성하는 것을 특징으로 하는
반도체 집적회로의 커패시터 제조방법.
- 청구항 3. 제 1항에 있어서, 상기 유전막은 "플라즈마 산화막/플라즈마 질화막"의 적층 구조나 "플라즈
마 산화막/플라즈마 산화질화막"의 적층 구조를 가지도록 형성하는 것을 특징으로 하는 반도체 집적회로
의 커패시터 제조방법.
- 청구항 4. 제 1항에 있어서, 상기 제 1 비어 홀 내의 상기 유전막 상에 도전성막 재질의 보호막을 형성
하는 단계는,
상기 제 1 비어 홀의 내부와 상기 유전막 상에 소정 두께의 도전성막을 형성하는 단계와;
상기 유전막의 표면이 노출될 때까지 상기 도전성막을 평탄화하는 단계를 포함하는 것을 특징으로 하는
반도체 집적회로의 커패시터 제조방법.
- 청구항 5. 제 4항에 있어서, 상기 도전성막은 W이나 Cu 합금으로 형성하는 것을 특징으로 하는 반도체
집적회로의 커패시터 제조방법.
- 청구항 6. 제 4항에 있어서, 상기 도전성막은 CVD법이나 PVD법으로 형성하는 것을 특징으로 하는 반도체
집적회로의 커패시터 제조방법.
- 청구항 7. 제 4항에 있어서, 상기 도전성막은 CMP 공정이나 에치백 공정을 이용하여 평탄화하는 것을
특징으로 하는 반도체 집적회로의 커패시터 제조방법.
- 청구항 8. 제 1항에 있어서, 상기 RF 스퍼터 식각은 상기 층간 절연막 식각시 생성된 식각 부산물이
200 ~ 400 Å 두께 제거될 때까지 실시하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.
- 청구항 9. 제 1항에 있어서, 상기 도전성 플러그는 W이나 Cu 합금으로 형성하는 것을 특징으로 하는
반도체 집적회로의 커패시터 제조방법.
- 청구항 10. 제 1항에 있어서, 상기 제 1 도전성막 형성후 그 전면에 반사 방지막을 형성하는 단계를 더
포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.
- 청구항 11. 제 10항에 있어서, 상기 제 1 도전성막 상에 반사 방지막이 더 형성된 경우, 상기 제 1 도
전성막 식각시 상기 반사 방지막도 함께 식각하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조
방법.
- 청구항 12. 제 1항에 있어서, 상기 제 2 도전성막 형성후 그 전면에 반사 방지막을 형성하는 단계를 더
포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.
- 청구항 13. 제 12항에 있어서, 상기 제 2 도전성막 상에 반사 방지막이 더 형성된 경우, 상기 제 2 도
전성막 식각시 상기 반사 방지막도 함께 식각하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조
방법.
- 청구항 14. 제 10항 또는 제 12항에 있어서, 상기 반사 방지막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN,
W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층 구조로 형성하는 것을 특징으
로 하는 반도체 집적회로의 커패시터 제조방법.
- 청구항 15. 제 10항에 있어서, 상기 제 1 도전성막 상에 반사 방지막이 더 형성된 경우, 상기 제 1 비
어 홀 형성시 상기 하부전극 표면에 상기 반사 방지막이 잔존되도록 상기 층간 절연막의 식각 공정을 진
행하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

도 1

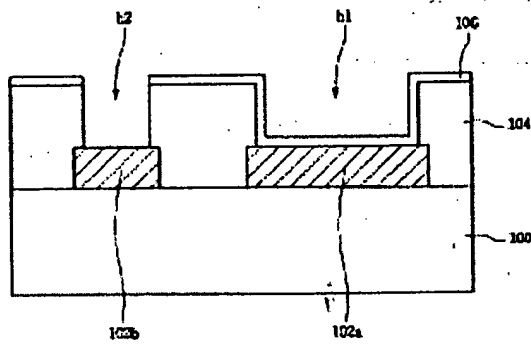
도 1A



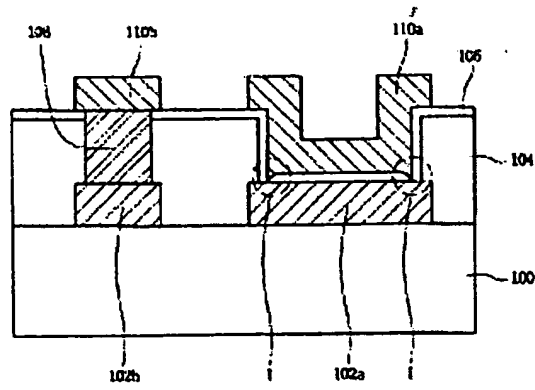
도 1B



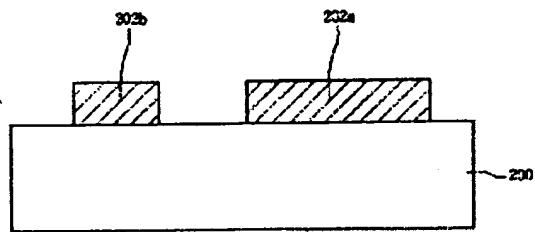
도 1C



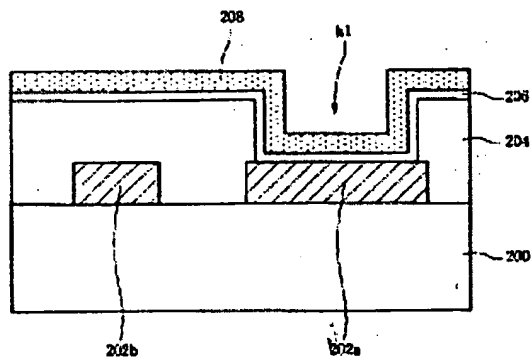
도 24



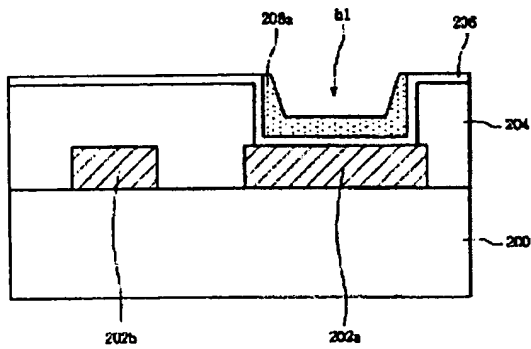
도 25



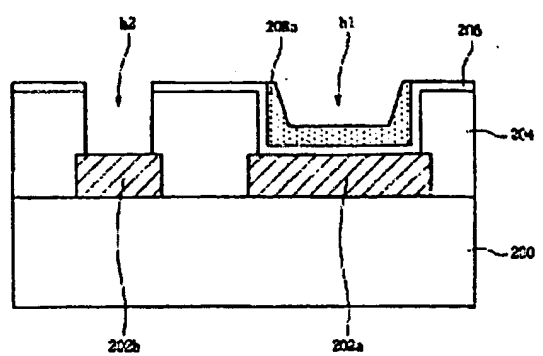
도 26



도 27



도 88



도 89

